

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001035159 A**(43) Date of publication of application: **09.02.01**

(51) Int. Cl.

G11C 11/407
G11C 11/409
(21) Application number: **11208212**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **22.07.99**(72) Inventor: **FUJIOKA SHINYA**(54) **SEMICONDUCTOR INTEGRATED CIRCUIT**

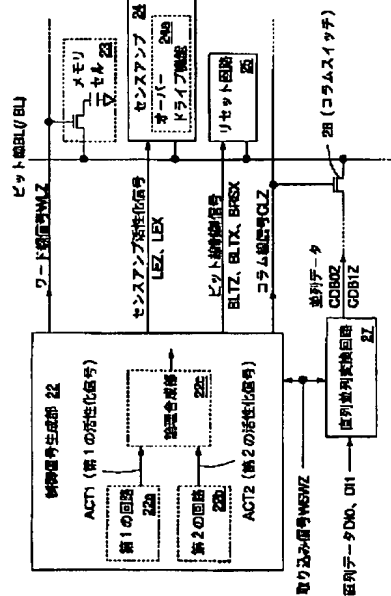
(57) Abstract:

PROBLEM TO BE SOLVED: To perform write operation at high speed in a semiconductor integrated circuit for fetching serial data synchronously with a clock signal and writing these data in a memory cell as parallel data.

SOLUTION: This circuit is provided with the memory cell, a bit line connected to the memory cell, a reset circuit 25 for resetting the bit line to a prescribed potential, a sense amplifier 24 for amplifying data transmitted to the bit line, a column switch 26 for transmitting data to the bit line and a control signal generating part 20 for generating a bit line control signal for activating the reset circuit, a word line signal for controlling the connection of the memory cell and the bit line, a sense amplifier activate signal for activating the sense amplifier and a column line signal for activating the column switch and in the case of write operation, when starting the write operation, a prescribed signal among respective

signals is activated by the control signal generating part and after fetching the written data, the remaining signals are activated.

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-35159

(P2001-35159A)

(43)公開日 平成13年2月9日(2001.2.9)

(51)Int.Cl.⁷

識別記号

F I

ターミナル* (参考)

G 1 1 C 11/407
11/409

G 1 1 C 11/34

3 6 2 S 5 B 0 2 4
3 5 3 E
3 5 4 C
3 5 4 D

審査請求 未請求 請求項の数5 O L (全 22 頁)

(21)出願番号

特願平11-208212

(22)出願日

平成11年7月22日(1999.7.22)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 藤岡 伸也

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100072718

弁理士 古谷 史旺 (外1名)

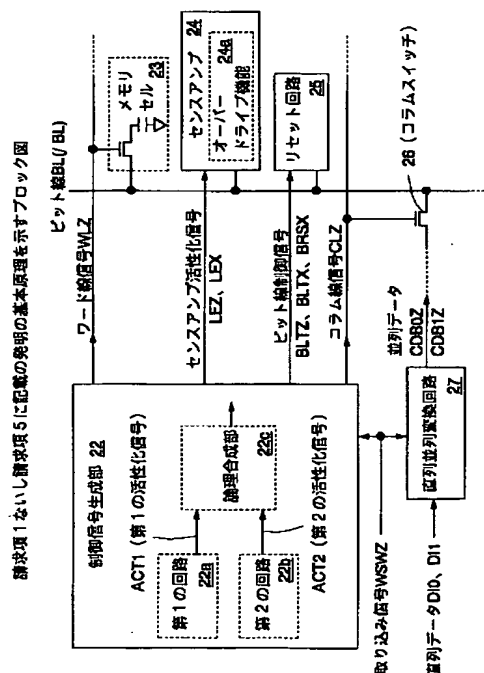
Fターム(参考) 5B024 AA15 BA09 BA15 BA21 BA23
BA25 BA29 CA07 CA11

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 本発明は、クロック信号に同期して直列データを取り込み、並列データとしてメモリセルに書き込む半導体集積回路に関し、書き込み動作を高速に行うことを目的とする。

【解決手段】 メモリセルと、メモリセルに接続されるビット線と、ビット線を所定の電位にリセットするリセット回路と、ビット線に伝達されたデータを増幅するセンスアンプと、ビット線にデータを伝達するコラムスイッチと、リセット回路を活性化するビット線制御信号、メモリセルとビット線との接続を制御するワード線信号、センスアンプを活性化するセンスアンプ活性化信号、およびコラムスイッチを活性化するコラム線信号を生成する制御信号生成部とを備え、書き込み動作時に、制御信号生成部は、各信号のうち所定の信号を書き込み動作の開始時に活性化し、残りの信号を書き込みデータの取り込み後に活性化することを特徴とする。



1

【特許請求の範囲】

【請求項 1】 メモリセルと、

前記メモリセルに接続されるビット線と、
前記ビット線を所定の電位にリセットするリセット回路と、

前記ビット線に伝達されたデータを増幅するセンスアンプと、

前記ビット線にデータを伝達するコラムスイッチと、
前記リセット回路を活性化するビット線制御信号、前記メモリセルと前記ビット線との接続を制御するワード線信号、前記センスアンプを活性化するセンスアンプ活性化信号、および前記コラムスイッチを活性化するコラム線信号を生成する制御信号生成部とを備え、

書き込み動作時に、前記制御信号生成部は、前記各信号のうち所定の信号を該書き込み動作の開始時に活性化し、残りの信号を書き込みデータの取り込み後に活性化することを特徴とする半導体集積回路。

【請求項 2】 請求項 1 記載の半導体集積回路において、

前記メモリセルに書き込むデータを直列データとして取り込み、並列データに変換する直列並列変換回路を備え、

前記制御信号生成部は、前記直列並列変換回路の取り込み信号に同期して前記残りの信号を活性化することを特徴とする半導体集積回路。

【請求項 3】 請求項 2 記載の半導体集積回路において、

前記制御信号生成部は、
書き込み動作時に前記取り込み信号に同期して活性化され、読み出し動作時に常に活性化される第 1 の活性化信号を生成する第 1 の制御回路と、

書き込み動作の開始時および読み出し動作の開始時にそれぞれ同期して活性化される第 2 の活性化信号を生成する第 2 の制御回路と、

前記第 1 の活性化信号と前記第 2 の活性化信号とのアンド論理をとる論理合成部とを備え、

前記残りの信号は、前記論理合成部の出力を使用して生成されることを特徴とする半導体集積回路。

【請求項 4】 請求項 1 記載の半導体集積回路において、

前記制御信号生成部は、前記書き込み動作時に、前記コラム線信号を、読み出し動作時に比べ早く活性化することを特徴とする半導体集積回路。

【請求項 5】 請求項 4 記載の半導体集積回路において、

前記センスアンプは、増幅開始時の所定期間に高電圧を使用するオーバードライブ機能を有し、

前記制御信号生成部は、前記書き込み動作時に、前記コラム線信号を、オーバードライブ期間より前に活性化することを特徴とする半導体集積回路。

2

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック信号に同期して直列データを取り込み、並列データとしてメモリセルに書き込む半導体集積回路に関し、特に、書き込み動作を高速に行う技術に関する。

【0002】

【従来の技術】この種の半導体集積回路として、FCRAM (Fast Cycle RAM) が開発されている。FCRAMには、単相のクロック信号の立ち上がりに同期してデータを取り込むSDRAM (Synchronous DRAM) 型インタフェースを持つタイプと、相補のクロック信号の立ち上がりにそれぞれ同期して（あるいは、単相のクロック信号の立ち上がり、立ち下がりの両方に同期して）直列データを取り込むDDR (Double Data Rate) インタフェースを持つタイプとがある。FCRAMの概要は、日経エレクトロニクス1998年6月15日号（日経BP社）に記載されている。

【0003】図18は、SDRAM型インタフェースを持ったFCRAMにおける書き込み動作に関係する主要部の構成を示している。FCRAMは、書き込み動作に関係する回路として、入力制御部1、コアタイミング制御部2、コア制御信号発生部3、およびメモリコア部4を備えている。入力制御部1は、クロックバッファ5と、入力バッファ6と、コマンドデコーダ7と、RASZ発生回路8と、直列並列制御回路9と、DQバッファ10と、直列並列変換回路11とを備えて構成されている。

【0004】クロックバッファ5は、外部からクロック信号CLKを受け、内部クロック信号ICLKZを出力している。入力バッファ6は、内部クロック信号ICLKZに同期してコマンド信号CMDを取り込み、取り込んだ信号を内部コマンド信号ICMDとして出力している。コマンドデコーダ7は、内部コマンド信号ICMDを受け、コマンドの解析を行い、コマンド活性化信号ACTZを出力している。RASZ発生回路8は、コマンド活性化信号ACTZおよびセルフプリチャージ信号SPRZを受け、行アクセス系の基幹信号BRASZを出力している。直列並列制御回路9は、内部クロック信号ICLKZを受け、ライトスイッチ信号WSWZを出力している。DQバッファ10は、内部クロック信号ICLKZに同期して直列のデータ信号DQを順次受け、内部データ信号DI0、DI1として出力している。直列並列変換回路11は、ライトスイッチ信号WSWZに同期して内部データ信号DI0、DI1を取り込み、コモンデータ信号CDB0Z、CDB1Zとして出力している。

【0005】コアタイミング制御部2は、BLT活性化タイミング生成回路12と、ワード線活性化タイミング生成回路13と、SA活性化タイミング生成回路14と、CL活性化タイミング生成回路15とを備えて構成されている。BLT活性化タイミング生成回路12は、基幹信号BRASZ、ライトスイッチ信号WSWZ、およびワード線非活性化

3

信号WLRZを受け、ビット線活性化信号BLSZおよびビット線非活性化信号BLRZを出力している。ワード線活性化タイミング生成回路13は、ビット線活性化信号BLSZおよび基幹信号BRASZを受け、ワード線活性化信号WLSZおよびワード線非活性化信号WLRZを出力している。SA活性化タイミング生成回路14は、ワード線活性化信号WLSZおよびワード線非活性化信号WLRZを受け、センスアンプ活性化タイミング信号BLEZを出力している。CL活性化タイミング生成回路15は、センスアンプ活性化タイミング信号BLEZを受け、コラム線活性化信号BCLZおよびセルフ

10 プリチャージ信号SPRZを出力している。
【0006】コア制御信号発生部3は、BLT発生回路16と、主ワードデコーダ17と、センスアンプ制御回路18と、コラムデコーダ19とを備えて構成されている。BLT発生回路16は、ビット線活性化信号BLSZ、ビット線活性化信号BLRZを受け、ビット線制御信号BLTX、BLTZ、およびビット線BL、/BLをプリチャージするビット線制御信号BRSXを出力している。主ワードデコーダ17は、ワード線活性化信号WLSZ、ワード線非活性化信号WLRZを受け、ワード線信号WLZを出力している。センス

20 アンプ制御回路18は、センスアンプ活性化タイミング信号BLEZを受け、センスアンプ活性化信号LEX、LEZを出力している。コラムデコーダ19は、コラム線活性化信号BCLZを受け、コラム線信号CLZを出力している。
【0007】メモリア部4は、センスアンプ20およびメモリセル21等を備えて構成されている。メモリア部4には、ビット線制御信号BLTX、BLTZ、BRSX、ワード線信号WLZ、センスアンプ活性化信号LEX、LEZ、コラム線信号CLZ、およびコモンデータ信号CDBOZ、CDBIZが

30 供給されている。上記の信号のうち、最後に”Z”の付く信号は、正論理の信号であり、最後に”X”の付く信号は、負論理の信号である。なお、図18では、アドレス信号を省略している。実際の回路では、アドレス信号に応じて上記回路が活性化され、所定のメモリセルが選択される。
【0008】図19は、メモリア部4の主要部を示している。メモリア部4には、相補のビット線BL、/BLが複数組形成されている。ビット線BLは、nMOS4a、4bを介して相互に接続されている。ビット線/BLは、nMOS4c、4dを介して相互に接続されている。ビット線BL、/BLには、イコライズ用のnMOS4e、4fと、プリチャージ用のnMOS4g、4hと、nMOSからなるコラムスイッチ4i、4jと、センスアンプ20と、メモリセル21とが接続されている。

40 【0009】nMOS4a、4cのゲートには、ビット線制御信号BLTXが供給されている。nMOS4b、4dのゲートには、ビット線制御信号BLTZが供給されている。nMOS4eのゲートには、ビット線制御信号BLTZが供給され、nMOS4fのゲートには、ビット線制御信号BLTXが供給されている。

4

【0010】nMOS4g、4hのソース・ドレインの一方には、それぞれビット線BL、/BLが接続され、他方には、プリチャージ線VPRが接続されている。nMOS4g、4hのゲートには、ビット線制御信号BRSXが供給されている。コラムスイッチ4i、4jのソース・ドレインの一方には、それぞれビット線BL、/BLが接続され、他方には、それぞれデータ信号LDBX、LDBZが接続されている。コラムスイッチ4i、4jのゲートには、コラム線信号CLZが供給されている。データ信号LDBX、LDBZは、相補の信号である。データ信号LDBZおよびデータ信号LDBXには、コモンデータ信号CDBOZと同一の論理および反転論理が伝達される。図示しない別のデータ信号LDBZおよびデータ信号LDBXには、コモンデータ信号CDBIZと同一の論理および反転論理が伝達される。

【0011】センスアンプ20は、pMOS20a、nMOS20bからなるCMOSインバータと、pMOS20c、nMOS20dからなるCMOSインバータと、各CMOSインバータのソースに接続された電源供給用のpMOS20e、nMOS20fとで構成されている。各CMOSインバータの入力と出力とは、互いに接続されており、各出力は、それぞれビット線/BL、BLに接続されている。pMOS20eのソース・ドレインの一方には、それぞれpMOS20a、pMOS20cのソースが接続され、他方には、電源線VIIが接続されている。pMOS20eのゲートには、センスアンプ活性化信号LEXが供給されている。nMOS20fのソース・ドレインの一方には、それぞれnMOS20b、nMOS20dのソースが接続され、他方には、接地線VSSが接続されている。nMOS20fのゲートには、センスアンプ活性化信号LEZが供給されている。

【0012】メモリセル21は、データ転送用のnMOS21aとキャパシタ21bとで構成されている。nMOS21aのゲートには、ワード線信号WLZが供給されている。次に、上述したFCRAMの動作について説明する。図20は、書き込み動作が連続して行われるときのタイミングを示している。この例では、2ビットの直列データが連続して書き込まれる。

【0013】書き込み動作を開始する場合、外部から書き込みコマンドWRが供給される。図18に示した入力バッファ6は、内部クロック信号ICLKZの立ち上がり同期してコマンド信号CMD（書き込みコマンドWR）を取り込む。コマンドデコーダ7は、内部コマンド信号ICMDを受けて、コマンド活性化信号ACTZを活性化する（図20(a)）。RASZ発生回路8は、コマンド活性化信号ACTZを受けて基幹信号BRASZを活性化する（図20(b)）。DQバッファ10は、内部クロック信号ICLKZの立ち上がり同期して、データ信号DQを順次取り込み、それぞれ内部データ信号DI0、DI1として出力する（図20(c)）。

【0014】直列並列変換回路9は、書き込みコマンドWRを受けた後の内部クロック信号ICLKZの立ち上がりエッジを検出してライトスイッチ信号WSWZを活性化する

5

(図 20 (d))。直列並列変換回路 11 は、ライトスイッチ信号 WSWZ に同期して内部データ信号 DIO、DII を取り込み、直列並列変換し、それぞれコモンデータ信号 CDBOZ、CDBIZ として出力する (図 20 (e))。

【0015】BLT 活性化タイミング生成回路 12 は、ライトスイッチ信号 WSWZ の活性化を受け、ビット線活性化信号 BLSZ を所定の期間活性化する (図 20 (f))。BLT 発生回路 16 は、ビット線活性化信号 BLSZ を受け、ビット線制御信号 BLTX およびビット線制御信号 BRSX を非活性化する (図 20 (g))。ビット線制御信号 BLTX の非活性化、ビット線制御信号 BLTZ の活性化により、図 19 に示したメモリセル 21 側のビット線 BL、/BL は、イコライズが解除され、センスアンプ 20 に接続される。メモリセル 21 と反対側のビット線 BL、/BL は、イコライズされ、センスアンプ 20 との接続が解除される。ビット線制御信号 BRSX の非活性化により、ビット線 BL、/BL のプリチャージ動作がリセットされる。

【0016】図 18 に示したワード線活性化タイミング生成回路 13 は、ビット線活性化信号 BLSZ を受け、ワード線活性化信号 WLSZ を所定の期間活性化する (図 20 (h))。主ワードデコーダ 17 は、ワード線活性化信号 WLSZ を受け、ワード線信号 WLZ を活性化する (図 20 (i))。ワード線信号 WLZ の活性化により、メモリセル 21 に保持されているデータが微少信号としてビット線 BL、/BL に出力される (図 20 (j))。

【0017】SA 活性化タイミング生成回路 14 は、ワード線活性化信号 WLSZ を受け、センスアンプ活性化タイミング信号 BLEZ を活性化する (図 20 (k))。センスアンプ制御回路 18 は、センスアンプ活性化タイミング信号 BLEZ を受け、センスアンプ活性化信号 LEX、LEZ を活性化する (図 20 (l))。センスアンプ 20 は、センスアンプ活性化信号 LEX、LEZ を受けて活性化され、ビット線 BL、/BL に出力された微少信号を増幅する。

【0018】CL 活性化タイミング生成回路 15 は、センスアンプ活性化タイミング信号 BLEZ を受け、コラム線活性化信号 BCLZ を所定の期間活性化する (図 20 (m))。コラムデコーダ 19 は、コラム線活性化信号 BCLZ を受け、コラム線信号 CLZ を所定の期間活性化する (図 20 (n))。コラム線信号 CLZ の活性化により、コモンデータ信号 CDBOZ が、相補のデータ信号 LDBX、LDBZ を介してビット線 BL、/BL に供給され、メモリセル 21 への書き込みが行われる (図 20 (o))。また、コモンデータ信号 CDBIZ が、相補のデータ信号 LDBX、LDBZ を介して別のビット線 BL、/BL に供給され、別のメモリセル 21 への書き込みが行われる。すなわち、直列入力されたデータ信号 DQ が並列データとしてメモリセル 21 に書き込まれる。このとき、メモリセル 21 から出力された微少信号とデータ信号 LDBX、LDBZ との論理が逆の場合には、信号の反転動作が必要になる。

【0019】なお、書き込みコマンド WR を受けた後の 7

6

番目のクロック信号 CLK に同期して、次のコマンド信号 (書き込みコマンド WR) が取り込まれる。すなわち、この例では、1 回の書き込み動作に必要なクロック数は、7 クロックである (レイテンシ=7)。RASZ 発生回路 8 は、CL 活性化タイミング生成回路 15 が出力するセルフプリチャージ信号 SPRZ (図示せず) を受け、基幹信号 BRASZ を非活性化する (図 20 (p))。ワード線活性化タイミング生成回路 13 は、基幹信号 BRASZ を受け、ワード線非活性化信号 WLRZ を所定の期間活性化する (図 20 (q))。主ワードデコーダ 17 は、ワード線非活性化信号 WLRZ を受けて、ワード線信号 WLZ を非活性化する (図 20 (r))。ワード線信号 WLZ の非活性化により、メモリセル 21 が閉じ、書き込まれたデータが保持される。

【0020】SA 活性化タイミング生成回路 14 は、ワード線非活性化信号 WLRZ を受け、センスアンプ活性化タイミング信号 BLEZ を非活性化する (図 20 (s))。センスアンプ制御回路 18 は、センスアンプ活性化タイミング信号 BLEZ を受け、センスアンプ活性化信号 LEX、LEZ を非活性化する (図 20 (t))。センスアンプ活性化信号 LEX、LEZ の非活性化により、センスアンプ 20 は、増幅動作を停止する。

【0021】BLT 活性化タイミング生成回路 12 は、ワード線非活性化信号 WLRZ を受け、ビット線非活性化信号 BLRZ を所定の期間活性化する (図 20 (u))。BLT 発生回路 16 は、ビット線非活性化信号 BLRZ を受け、ビット線制御信号 BLTX を活性化し、ビット線制御信号 BRSX を活性化する (図 20 (v))。ビット線制御信号 BLTX の活性化により、図 19 に示したメモリセル 21 側のビット線 BL、/BL は、イコライズされる。メモリセル 21 と反対側のビット線 BL、/BL は、イコライズが解除され、センスアンプ 20 に接続される。ビット線制御信号 BRSX の活性化により、ビット線 BL、/BL がプリチャージされる。

【0022】そして、上述した動作を繰り返すことで、書き込み動作が連続して実行される。図 21 は、書き込み動作後に読み出し動作を行う場合のタイミングを示している。書き込み動作時の回路動作は、上述した図 20 と同一のタイミングで行われる。しかし、書き込み動作においては、データ信号 DQ の取り込みに合わせてメモリア部 4 を動作させる必要がある。このため、メモリア部 4 の動作は、2 ビットのデータ信号 DQ を内部データ信号 DIO、DII として取り込んだ後、ライトスイッチ信号 WSWZ の活性化に同期してビット線活性化信号 BLSZ、ワード線活性化信号 WLSZ 等を活性化することで行われる。すなわち、書き込み動作においては、読み出し動作に比べ、メモリア部 4 の動作の開始が遅れる。したがって、この例では、メモリア部 4 の制御が書き込み動作と読み出し動作とで重ならないようにするために、読み出し動作の前の書き込み動作には、10 クロックが必要になる。なお、各動作に必要なクロック数 (レイテンシ) は、クロック信号の周波数により変化する。

【0023】書き込み動作の後、読み出し動作では、図 18 に示した入力バッファ 6 は、内部クロック信号 ICLK Z の立ち上がりで読み出しコマンド RD を取り込む。コマンドデコーダ 7 は、内部コマンド信号 ICMD を受けて、コマンド活性化信号 ACTZ を活性化する (図 21 (a))。RAS Z 発生回路 8 は、コマンド活性化信号 ACTZ を受けて基幹信号 BRASZ を活性化する (図 21 (b))。BLT 活性化タイミング生成回路 12 は、基幹信号 BRASZ を受けて、ビット線活性化信号 BLSZ を活性化する (図 21 (c))。

【0024】この後、書き込み動作と同じタイミングで、ビット線制御信号 BLTX、BLTZ、ビット線制御信号 BR SX、ワード線信号 WLZ、センスアンプ活性化信号 LEX、LE Z、およびコラム線信号 CLZ の活性化・非活性化が行われ、読み出し動作が行われる。読み出し動作の場合、ワード線信号 WLZ の活性化によりメモリセル 21 からビット線 BL、/BL に出力された微少信号が、そのまま読み出しデータとして増幅される。このため、読み出し動作中にデータが反転することはない。

【0025】増幅された信号は、コモンデータ信号 CDB0 Z に転送される (図 21 (d))。転送された信号は、読み出しコマンド RD の取り込みから 7 番目のクロック信号 CLK に同期してデータ信号 DQ として出力される (図 21 (e))。同様に、別のビット線 BL、/BL 上で増幅された信号は、コモンデータ信号 CDB1Z に転送され、読み出しコマンド RD の取り込みから 8 番目のクロック信号 CLK に同期してデータ信号 DQ として出力される。

【0026】

【発明が解決しようとする課題】 上述したように、書き込み動作を読み出し動作の前に行う場合には、通常より 3 クロック多い 10 クロックが必要である。

【0027】この結果、例えば、FCRAM を搭載したシステムにおいて、書き込み動作と読み出し動作とを交互に繰り返すことが頻繁に行われる場合には、システム全体の処理時間が増大するという問題があった。また、メモリコア部 4 の制御タイミングは、書き込み動作と読み出し動作とで同一である。このため、書き込み動作においては、書き込みデータをビット線 BL、/BL に与える前に、メモリセル 21 から出力された微少信号がセンスアンプ 20 により増幅される。このため、データの反転動作が必要になり、書き込み時間が長くなるという問題があった。

【0028】一方、増幅時間を短縮するために、センスアンプ 20 に代えて、図 22 に示すセンスアンプ 22 が提案されている。このセンスアンプ 22 では、各 CMOS インバータの pMOS 22 a、22 b のソースに、電源線 VII を接続する pMOS 22 c と、電源線 VDD を接続する pMOS 22 d とが接続されている。電源線 VDD は、電源線 VII より高い電位を有している。pMOS 22 d のゲートには、センスアンプ活性化信号 LEPX が供給されている。センスアンプ活性化信号 LEX、LEZ、LEPX は、センスアンプ制御回路

(図示せず) により生成される信号である。他の回路構成は、上述したセンスアンプ 20 と同一である。

【0029】図 23 は、このセンスアンプ 22 の読み出し時の増幅動作を示している。まず、ワード線信号 WLZ が活性化され、ビット線 BL、/BL にメモリセルからの読み出しデータである微少信号が出力される。次に、センスアンプ制御回路 (図示せず) は、センスアンプ活性化信号 LEZ、LEPX を活性化する。センスアンプ活性化信号 LEZ、LEPX の活性化により、ビット線 BL、/BL の微少信号は、L レベル側が接地電圧 VSS に向けて増幅され、H レベル側が電源電圧 VDD に向けて増幅される (オーバードライブ期間)。次に、センスアンプ制御回路は、センスアンプ活性化信号 LEPX を非活性化し、センスアンプ活性化信号 LEX を活性化する。図 22 に示した pMOS 22 c のオンにより、H レベル側の電位は、電源電圧 VII まで低下する。H レベル側の電位が電源電圧 VDD に向けて引き上げられるため、読み出し動作時の増幅は、通常のセンスアンプの増幅 (図の一点鎖線) に比べ早く行われる。

【0030】図 24 は、このセンスアンプ 22 の書き込み時の増幅動作を示している。まず、ワード線信号 WLZ が活性化され、メモリセルから書き込みデータとは関係のない微少信号が出力される。次に、センスアンプ制御回路 (図示せず) は、センスアンプ活性化信号 LEZ、LEPX を活性化する。センスアンプ活性化信号 LEZ、LEPX の活性化により、ビット線 BL、/BL の微少信号は、L レベル側が接地電圧 VSS に向けて増幅され、H レベル側が電源電圧 VDD に向けて増幅される。この後、コラム線信号 CLZ の活性化により、書き込みデータがビット線 BL、/BL に供給され、増幅された微少信号が反転される。微少信号の増幅レベルは、通常のセンスアンプの増幅レベル (図の一点鎖線) より大きくなるため、データを反転するための時間が増大する。この結果、書き込み時間が増大するという問題があった。

【0031】本発明の目的は、メモリセルへのデータの書き込み時間を短縮することができる半導体集積回路を提供することにある。

【0032】

【課題を解決するための手段】 図 1 は、請求項 1 ないし請求項 5 に記載の発明の基本原理解を示すブロック図である。

【0033】請求項 1 の半導体集積回路では、制御信号生成部 22 は、ビット線制御信号 BLTZ、BLTX、BR SX、ワード線信号 WLZ、センスアンプ活性化信号 LEZ、LEX、およびコラム線信号 CLZ を生成する。ビット線制御信号 BLTZ、BLTX、BR SX は、ビット線 BL、/BL をリセットするリセット回路 25 を活性化する。ワード線信号 WLZ は、メモリセル 23 にデータを伝えるビット線 BL、/BL とメモリセル 23 との接続を制御する。センスアンプ活性化信号 LEZ、LEX は、ビット線 BL、/BL に伝達されたデータを増幅するセンスアンプ 24 を活性化する。コラム線信号 CL

9

Zは、ビット線BL、/BLにデータを伝達するコラムスイッチ26を活性化する。

【0034】制御信号生成部22は、ワード線信号WLZ、センスアンプ活性化信号LEZ、LEX、ビット線制御信号BLTZ、BLTX、BRSX、およびコラム線信号CLZのうち所定の信号を書き込み動作の開始時に活性化する。制御信号生成部22は、残りの信号を書き込みデータD10、D11の取り込み後に活性化する。所定の信号の活性化が、書き込みデータD10、D11の取り込みを待たずに行われるため、残りの信号の活性化タイミングを早くすることが可能になる。この結果、書き込み動作に必要な時間が短縮される。

【0035】請求項2の半導体集積回路では、直列並列変換回路27は、メモリセル23に書き込むデータD10、D11を直列データとして取り込み、並列データCDB0Z、CDB1Zに変換する。制御信号生成部22は、直列並列変換回路27の取り込み信号WSWZに同期して上記残りの信号を活性化する。このため、新たに制御信号を生成することなく、残りの信号の活性化が確実に行われる。

【0036】請求項3の半導体集積回路では、制御信号生成部22の第1の制御回路22aは、書き込み動作時に、取り込み信号に同期して第1の活性化信号ACT1を活性化する。制御信号生成部22の第1の制御回路22aは、読み出し動作時には、常に第1の活性化信号ACT1を活性化する。また、制御信号生成部22の第2の制御回路22bは、書き込み動作の開始時および読み出し動作の開始時に同期して、第2の活性化信号ACT2を生成する。論理合成部22cは、第1の活性化信号ACT1と第2の活性化信号ACT2とのアンド論理をとる。そして、制御信号生成部22は、論理合成部22cの演算結果を使用して上記残りの信号を生成する。

【0037】このため、書き込み動作時と、読み出し動作時とで異なる残りの信号の生成タイミングを容易に生成することができる。請求項4の半導体集積回路では、書き込み動作時には、コラムスイッチ26が読み出し動作時に比べ早く活性化される。このため、メモリセル23から出力される微少信号の増幅前または増幅直後に、ビット線BL、/BLに書き込みデータCDB0Z、CDB1Zを与えることが可能になる。微少信号が書き込みデータCDB0Z、CDB1Zと異なる場合には、データを反転する必要がある。しかし、上記のように微少信号の増幅が最小限にされるため、反転動作に必要な時間は低減される。したがって、書き込み動作に必要な時間が短縮される。

【0038】請求項5の半導体集積回路では、センスアンプ24は、増幅開始時の所定の期間に高電圧を使用するオーバードライブ機能24aを有している。書き込み動作時には、コラムスイッチ26の活性化の開始は、オーバードライブの開始前に行われる。このため、オーバードライブ機能24aによる微少信号の増幅前にビット線BL、/BLに書き込みデータが与えられる。したがっ

10

て、オーバードライブ機能24aによる書き込みデータCDB0Z、CDB1Zと関係のない微少信号の増幅が最小限にされる。この結果、読み出し動作時には、オーバードライブを十分機能させ、書き込み動作時には、オーバードライブを行わないようにすることが可能になる。この結果、読み出し動作時間を増大することなく、書き込み動作に必要な時間が短縮される。

【0039】

【発明の実施の形態】以下、本発明の実施形態を図面を用いて説明する。なお、従来技術で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。また、従来技術で説明した信号と同一の信号については、同一の符号を付している。

【0040】図2は、本発明の半導体集積回路の第1の実施形態における書き込み動作に関する主要部の構成を示している。この実施形態は、請求項1ないし請求項3に対応している。この実施形態の半導体集積回路は、シリコン基板上に、CMOSプロセス技術を使用して、例えば、64MビットのFCRAMとして形成されている。

【0041】FCRAMは、書き込み動作に関する回路として、入力制御部30、コアタイミング制御部32、コア制御信号発生部3、メモリコア部4を備えている。コアタイミング制御部32、コア制御信号発生部3は図1に示した制御信号生成部22に対応している。入力制御部30は、クロックバッファ5と、入力バッファ6と、コマンドデコーダ34と、RASZ発生回路8と、直列並列制御回路36と、DQバッファ10と、直列並列変換回路38とを備えて構成されている。

【0042】クロックバッファ5は、外部からクロック信号CLKを受け、内部クロック信号ICLKZを出力している。入力バッファ6は、内部クロック信号ICLKZに同期してコマンド信号CMDを取り込み、取り込んだ信号を内部コマンド信号ICMDとして出力している。コマンドデコーダ34は、内部コマンド信号ICMDを受け、コマンドの解析を行い、コマンド活性化信号ACTZ、および書き込みコマンド信号WRBPZ、WRTZを出力している。RASZ発生回路8は、コマンド活性化信号ACTZおよびセルフプリチャージ信号SPRZを受け、行アクセス系の基幹信号BRASZを出力している。直列並列制御回路36は、内部クロック信号ICLKZおよび書き込みコマンド信号WRBPZを受け、ライトスイッチ信号WSWZ等を出力している。DQバッファ10は、内部クロック信号ICLKZに同期して直列のデータ信号DQを順次受け、内部データ信号D10、D11として出力している。直列並列変換回路38は、ライトスイッチ信号WSWZに同期して内部データ信号D10、D11を取り込み、並列のコモンデータ信号CDB0Z、CDB1Zとして出力している。

【0043】コアタイミング制御部32は、BLT活性化タイミング生成回路39と、ワード線活性化タイミング

50

11

生成回路40と、SA活性化タイミング生成回路14と、CL活性化タイミング生成回路15とを備えて構成されている。BLT活性化タイミング生成回路39は、基幹信号BRASZおよびワード線活性化信号WLSZを受け、ビット線活性化信号BLSZおよびビット線非活性化信号BLRZを出力している。

【0044】ワード線活性化タイミング生成回路40は、ビット線活性化信号BLSZ、基幹信号BRASZ、書き込みコマンド信号WRBPZ、およびライトスイッチ信号WSWZを受け、ワード線活性化信号WLSZおよびワード線非活性化信号WLRZを出力している。SA活性化タイミング生成回路14は、ワード線活性化信号WLSZおよびワード線非活性化信号WLRZを受け、センスアンプ活性化タイミング信号BLEZを出力している。CL活性化タイミング生成回路15は、センスアンプ活性化タイミング信号BLEZを受け、コラム線活性化信号BCLZおよびセルフプリチャージ信号SPRZを出力している。

【0045】コア制御信号発生部3およびメモリコア部4の回路構成および信号の接続関係は、従来と同一であり、メモリコア部4の主要部は、図19に示した回路と同一である。すなわち、メモリコア部4には、ビット線BL、/BLを制御するビット線制御信号BLTX、BLTZ、BRSX、メモリセル21を制御するワード線信号WLZ、センスアンプ20を制御するセンスアンプ活性化信号LEX、LEZ、および図19に示したコラムスイッチ4i、4jを制御するコラム線信号CLZが供給されている。図19に示したように、ビット線BLは、nMOS4a、4bを介して相互に接続されている。ビット線/BLは、nMOS4c、4dを介して相互に接続されている。ビット線BL、/BLには、イコライズ用のnMOS4e、4fと、プリチャージ用のnMOS4g、4hと、nMOSからなるコラムスイッチ4i、4jと、センスアンプ20と、メモリセル21とが接続されている。nMOS4e、4f、4g、4hは、リセット回路に対応している。

【0046】なお、図2では、アドレス信号を省略している。実際の回路では、アドレス信号に応じて上記回路が活性化され、所定のメモリセルが選択される。図3は、直列並列制御回路36を示している。直列並列制御回路36は、遅延回路42と、2入力のNANDゲート44a、44bおよびインバータ44cからなるフリップフロップ回路44と、遅延回路46と、2入力のANDゲート36aと、2つのインバータからなるバッファ36bと、インバータ36cと、分周回路36dとで構成されている。

【0047】分周回路36dは、内部クロック信号ICKLZを信号を受け、周波数を2分の1にした信号をインバータ36cに出力している。インバータ36cは、受けた信号を反転しノードN0に出力している。遅延回路42は、縦属接続された3つのインバータ42aの間に2つのCR時定数回路42bを配置して構成されている。CR時

12

定数回路42bは、例えば、拡散抵抗とnMOSのソースとドレインとを接地線VSSに接続したMOS容量とで構成されている。遅延回路42は、ノードN0の信号を受け、反転した信号をノードN1に出力している。遅延回路46は、遅延回路42と同一の論理の回路である。遅延回路46は、ANDゲート36aの出力を受け、遅延した信号をノードN3に出力している。

【0048】フリップフロップ回路44のNANDゲート44aの入力には、インバータ44cを介して書き込みコマンド信号WRBPZが供給されている。NANDゲート44bの入力には、ノードN3が接続されている。フリップフロップ回路44の出力は、ノードN2に接続されている。ANDゲート36aの入力は、ノードN1およびノードN2に接続されている。ANDゲート46aの出力は、インバータ36bを介してライトスイッチ信号WSWZとして出力されている。

【0049】図4は、直列並列変換回路38を示している。直列並列変換回路38は、nMOSおよびpMOSのソース・ドレインを互いに接続して形成したMOSスイッチ48a、48b、48c、48dと、インバータの入力・出力とを互いに接続したラッチ50a、50b、50c、50dと、インバータ52とで構成されている。

【0050】MOSスイッチ48aは、内部データ信号D10を受け、この信号をラッチ50aに出力している。ラッチ50aは、内部データ信号D10の反転論理をMOSスイッチ48bに出力している。MOSスイッチ48bは、受けた信号をラッチ50bに出力している。ラッチ50bは、受けた信号を反転し、コモンデータ信号CDB0Zとして出力している。MOSスイッチ48cは、内部データ信号D11を受け、この信号をラッチ50cに出力している。ラッチ50cは、内部データ信号D11の反転論理をMOSスイッチ48dに出力している。MOSスイッチ48dは、受けた信号をラッチ50dに出力している。ラッチ50dは、受けた信号を反転し、コモンデータ信号CDB1Zとして出力している。

【0051】MOSスイッチ48a、48cのpMOSのゲートおよびMOSスイッチ48b、48dのnMOSのゲートには、ライトスイッチ信号WSWZが供給されている。MOSスイッチ48a、48cのnMOSのゲートおよびMOSスイッチ48b、48dのpMOSのゲートには、インバータ52を介してライトスイッチ信号WSWZの反転信号が供給されている。

【0052】直列並列変換回路38は、ライトスイッチ信号WSWZのLレベル期間に内部データ信号D10、D11を取り込み、ライトスイッチ信号WSWZのHレベル期間に取り込んだデータをラッチし、並列のコモンデータ信号CDB0Z、CDB1Zとして出力する回路である。図5は、ワード線活性化タイミング生成回路40の要部を示している。

【0053】ワード線活性化タイミング生成回路40は、ライトデータモニタ部52と、2入力のNORゲート

13

からなる論理合成部54と、フリップフロップ回路56と、遅延回路58a、58bと、インバータ60a、60b、60cとを備えて構成されている。ライトデータモニタ部52は、第1の制御回路に対応している。ライトデータモニタ部52の出力信号（ノードN4）は、第1の活性化信号に対応している。フリップフロップ回路56は、第2の制御回路に対応している。フリップフロップ回路56の出力信号（ノードN5）は、第2の活性化信号に対応している。

【0054】フリップフロップ回路56は、図3に示したフリップフロップ回路44と同一の回路である。遅延回路58a、58bは、図3に示した遅延回路42と同一の論理を有する回路である。遅延回路58a、58bの遅延時間は、CR時定数回路の抵抗値、容量値により決められている。

【0055】ライトデータモニタ部52は、フリップフロップ回路52aと、2入力のNORゲート52bと、インバータ52c、52dとで構成されている。フリップフロップ回路52aは、フリップフロップ回路56と同一の回路である。フリップフロップ回路52aの一方の20 入力には、インバータ52cを介してライトスイッチ信号WSWZの反転信号が供給されている。フリップフロップ回路52aの他方の入力には、ノードN7に接続されている。NORゲート52bの入力には、インバータ52dを介して書き込みコマンド信号WRTZの反転論理と、フリップフロップ回路52の出力とが接続されている。NORゲート52bの出力は、ノードN4に接続されている。ライトデータモニタ部52は、ライトスイッチ信号WSWZおよびライトコマンド信号WRTZの活性化時、すなわち書き込み動作時に、ワード線活性化信号WLSZの活性化を所定時間遅延させる回路である。

【0056】論理合成部54の入力には、それぞれライトデータモニタ部52の出力であるノードN4と、インバータ60bを介してフリップフロップ回路56の反転論理であるノードN5が接続されている。論理合成部54の出力であるノードN6は、インバータ60cおよび遅延回路58aの入力に接続されている。論理合成部54は、負論理のAND論理を演算する回路である。すなわち、論理合成部54は、ノードN4の信号レベルとノードN5の信号レベルとが、ともにLレベルのときに、Hレベルを40 出力する。

【0057】フリップフロップ回路56の一方の入力には、インバータ60aを介してビット線活性化信号BLSZの反転論理が接続されている。フリップフロップ回路56の他方の入力には、遅延回路58aの出力であるノードN7が接続されている。遅延回路58bは、インバータ60cの出力を受け、ワード線活性化信号WLSZを出力している。

【0058】ワード線活性化タイミング生成回路40は、図5に示した回路以外に、基幹信号BRASZを受けて50

14

ワード線非活性化信号WLRZを生成する回路を有している。次に、上述したFCRAMの動作について説明する。

【0059】図6は、直列並列制御回路36および直列並列変換回路38の動作タイミングを示している。図3に示した分周回路36dは、内部クロック信号ICLKZを受け、分周した信号をノードN0に出力している（図6(a)）。遅延回路42は、ノードN0の信号を所定時間遅らせた信号を反転しノードN1に出力する（図6(b)）。図2に示したクロックバッファ6は、内部クロック信号ICLKZの立ち上がりに同期してコマンド信号CMDを取り込む。コマンドデコーダ34は、受けたコマンドが書き込みコマンドWRであることを解析し、書き込みコマンド信号WRBPZを出力する（図6(c)）。

【0060】図3に示したフリップフロップ44は、書き込みコマンド信号WRBPZを受けて、ノードN2をHレベルにする（図6(d)）。また、図2に示したDQバッファ10は、内部クロックICLKZの立ち上がりに同期して、書き込みデータを順次内部データ信号DI0、DI1として取り込む（図6(e)、(f)）。ノードN1のHレベルにより、ライトスイッチ信号WSWZは活性化される（図6(g)）。図4に示した直列並列変換回路38は、ライトスイッチ信号WSWZの立ち上がりに同期して内部データ信号DI0、DI1をラッチし、コモンデータ信号CDB0Z、CDB1Zとして出力する。すなわち、直列データとして入力された書き込みデータは、並列データになる。ここで、直列並列変換回路38に内部データ信号DI1が供給された後、ライトスイッチ信号WSWZの活性化までのタイミング余裕T1は、遅延回路42の遅延時間により確保される。

【0061】ノードN1のHレベルから遅延回路46の遅延時間後にノードN3はLレベルになる（図6(h)）。ノードN3のLレベルにより、フリップフロップ回路44はリセットされ、ノードN2はLレベルになり、ライトスイッチ信号WSWZは非活性化される（図6(j)）。ここで、直列並列変換回路38のコモンデータ信号CDB0Z、CDB1Zの出力からライトスイッチ信号WSWZの非活性化までのタイミング余裕T2は、遅延回路46の遅延時間により確保される。ライトスイッチ信号WSWZの非活性化により、ノードN3はHレベルになる（図6(k)）。

【0062】直列並列制御回路36は、遅延回路42および遅延回路46を使用してライトスイッチ信号WSWZを生成している。このため、遅延量の調整により、内部データ信号DI0、DI1およびコモンデータ信号CDB0Z、CDB1Zに対するライトスイッチ信号WSWZのタイミング余裕を容易に確保することができる。図7は、書き込み動作時および読み出し動作時におけるワード線活性化タイミング生成回路40の動作タイミングを示している。

【0063】書き込み動作時において、図5に示したライトデータモニタ部52は、書き込みコマンドWRの取り込みに同期した書き込みコマンド信号WRTZのHレベルを受け、ノードN4をHレベルにする（図7(a)）。また、

15

フリップフロップ回路56は、ビット線活性化信号BLSZのHレベルを受けてセットされ、ノードN5をLレベルにする(図7(b))。

【0064】次に、ライトデータモニタ部52は、ライトスイッチ信号WSWZのHレベルを受け、フリップフロップ52aをセットし、ノードN4をLレベルにする(図7(c))。論理合成部54は、ノードN4のLレベルを受け、ノードN6をHレベルにする(図7(d))。ノードN6のHレベルにより、ワード線活性化信号WLSZが活性化される(図7(e))。すなわち、ワード線活性化信号WLSZは、ライトスイッチ信号WSWZに同期して活性化される。また、ノードN6のHレベルにより、ノードN7がLレベルになる(図7(f))。

【0065】フリップフロップ52aは、ノードN7のLレベルを受けてリセットされ、ノードN4をHレベルにする。フリップフロップ56は、ノードN7のLレベルを受けてリセットされ、ノードN5をHレベルにする(図7(g))。論理合成部54は、ノードN4、N5のHレベルを受け、ノードN6をLレベルにする(図7(h))。ノードN6のLレベルにより、ワード線活性化信号WLSZが非活性化される(図7(i))。また、ノードN6のLレベルにより、ノードN7がHレベルになる(図7(j))。

【0066】一方、読み出し動作時には、書き込みコマンド信号WRTZが活性化されないため、ノードN4は、Lレベルを保持する。フリップフロップ回路56は、ビット線活性化信号BLSZのHレベルを受けてセットされ、ノードN5をLレベルにする(図7(k))。論理合成部54は、ノードN5のLレベルを受け、ノードN6をHレベルにする(図7(l))。すなわち、ノードN6は、ビット線活性化信号BLSZに同期してHレベルになる。この後、書き込み動作時と同様に、ワード線活性化信号WLSZが所定のタイミングで活性化される(図7(m))。

【0067】上述したように、ワード線活性化信号WLSZは、書き込み動作時にライトスイッチ信号WSWZに同期して活性化され、読み出し動作時には、ビット線活性化信号BLSZに同期して活性化される。これは、論理合成部54により、書き込み動作時には、ノードN4の論理がノードN6に伝えられ、読み出し動作時には、ノードN5の論理がノードN6に伝えられるためである。

【0068】図8は、書き込み動作後に読み出し動作を行う場合のタイミングを示している。この例では、2ビットの直列データが連続して書き込まれる。まず、図2に示した入力バッファ6は、内部クロック信号ICLKZの立ち上がりに同期してコマンド信号(書き込みコマンドWR)を取り込む。コマンドデコーダ34は、内部コマンド信号ICMDを受けて、コマンド活性化信号ACTZを活性化する(図8(a))。また、コマンドデコーダ34は、書き込みコマンド信号WRBPZ、WRTZを活性化する(図示せず)。RASZ発生回路8は、コマンド活性化信号ACTZを受けて基幹信号BRASZを活性化する(図8(b))。DQバッ

16

ファ10は、内部クロック信号ICLKZの立ち上がりに同期して、データ信号DQを順次取り込み、それぞれ内部データ信号DI0、DI1として出力する(図8(c))。

【0069】BLT活性化タイミング生成回路39は、基幹信号BRASZの活性化を受け、ビット線活性化信号BLSZを所定の期間活性化する(図8(d))。すなわち、ビット線活性化信号BLSZは、従来に比べ早く活性化される。BLT発生回路16は、ビット線活性化信号BLSZを受け、ビット線制御信号BLTXおよびビット線制御信号BRSXを非活性化する(図8(e))。ビット線制御信号BLTXの非活性化により、ビット線BL、/BLのイコライズおよびプリチャージ動作が解除される。

【0070】図2に示した直列並列変換回路36は、書き込みコマンドWRを受けた後の内部クロック信号ICLKZの立ち上がりエッジを検出してライトスイッチ信号WSWZを活性化する(図8(f))。直列並列変換回路38は、ライトスイッチ信号WSWZに同期して内部データ信号DI0、DI1を取り込み、直列並列変換し、それぞれコマンドデータ信号CDB0Z、CDB1Zとして出力する(図8(g))。

【0071】ワード線活性化タイミング生成回路40は、ライトスイッチ信号WSWZを受け、ワード線活性化信号WLSZを所定の期間活性化する(図8(h))。ここで、ビット線制御信号BLTが既に非活性化されているため、ライトスイッチ信号WSWZにより、ワード線活性化信号WLSZを直接活性化することが可能になる。このため、ワード線活性化信号WLSZの活性化タイミングは、従来に比べ約1クロック早くなる。

【0072】主ワードデコーダ17は、ワード線活性化信号WLSZを受け、ワード線信号WLZを活性化する(図8(i))。ワード線信号WLZの活性化により、メモリセル21に保持されているデータが微少信号としてビット線BL、/BLに出力される(図8(j))。この後、従来と同じタイミングで、センスアンプ活性化信号LEX、LEZ、コラム線信号CLZの活性化・非活性化、およびビット線制御信号BLTX、BLTZ、BRSX、ワード線信号WLZの非活性化が行われ、書き込み動作が行われる。上述したように、ワード線活性化信号WLSZの活性化タイミングが約1クロック分早くなるため、1回の書き込み動作に必要なクロック数は、従来より1クロック少ない9クロックになる(レイテンシ=9)。

【0073】次に、従来と同じタイミングで、ビット線制御信号BLTX、BLTZ、BRSX、ワード線信号WLZ、センスアンプ活性化信号LEX、LEZ、およびコラム線信号CLZの活性化・非活性化が行われ、読み出し動作が行われる。以上のように構成された半導体集積回路では、メモリコア部4の制御信号であるビット線活性化信号BLSZを書き込みコマンドWRの取り込みに同期して活性化した。このため、メモリコア部4の別の制御信号であるワード線活性化信号WLSZを、直接ライトスイッチ信号WSWZで活性化することができる。したがって、ワード線活性化信号WL

17

SZ、センスアンプ活性化タイミング信号BLEZ、およびコラム線信号CLZの活性化タイミングを、約1クロック早くすることができる。この結果、読み出し動作の前の書き込み動作に必要なクロック数を、従来より1クロック少ない9クロックにすることができる。

【0074】ワード線活性化信号WLSZ、センスアンプ活性化タイミング信号BLEZ、およびコラム線信号CLZを、データの取り込み信号WSWZを使用して順次活性化した。このため、新たな制御信号を生成することなく、これ等制御信号WLSZ、BLEZ、CLZを確実に活性化することができる。ライトデータモニタ部52の出力ノードN4と、フリップフロップ回路56の出力の反転ノードN5とを論理合成部54で論理演算し、ワード線活性化信号WLSZを生成した。このため、書き込み動作時と読み出し動作時とでそれぞれタイミングの異なるワード線活性化信号WLSZを容易に生成することができる。

【0075】図9は、本発明の半導体集積回路の第2の実施形態における書き込み動作に関係する主要部の構成を示している。この実施形態は、請求項1ないし請求項3に対応している。この実施形態のFCRAMでは、コマンドデコーダ34から出力された書き込みコマンド信号WR
TZおよび直列並列制御回路36から出力されたライトスイッチ信号WSWZは、SA活性化タイミング生成回路62に供給されている。SA活性化タイミング生成回路62およびワード線活性化タイミング生成回路13以外の回路構成、信号の接続関係は第1の実施形態と同一である。コアタイミング制御部32aは、図1に示した制御信号生成部22に対応している。

【0076】図10は、SA活性化タイミング生成回路62を示している。SA活性化タイミング生成回路62は、図5に示したワード線活性化タイミング生成回路40とほぼ同一の回路構成をしている。すなわち、SA活性化タイミング生成回路62は、ライトデータモニタ部52と、論理合成部54と、フリップフロップ回路56と、遅延回路58bと、インバータ60a、60b、60c、60dとで構成されている。

【0077】ライトデータモニタ部52には、書き込みコマンド信号WRTZ、ライトスイッチ信号WSWZ、およびインバータ60dを介してワード線非活性化信号WLRZが供給されている。フリップフロップ回路56の一方の入力には、インバータ60aを介してワード線活性化信号WLSZが供給されている。フリップフロップ回路56の他方の入力には、インバータ60dを介してワード線非活性化信号WLRZが供給されている。遅延回路58bからはセンスアンプ活性化タイミング信号BLEZが出力されている。

【0078】SA活性化タイミング生成回路62は、書き込み動作時に、ライトデータモニタ部52を機能させてセンスアンプ活性化タイミング信号BLEZの活性化を所定時間遅らせる回路である。次に、上述したFCRAMの動作

18

について説明する。図11は、書き込み動作後に読み出し動作を行う場合のタイミングを示している。この例では、2ビットの直列データが連続して書き込まれる。

【0079】まず、図8と同様に、コマンド活性化信号ACTZ、基幹信号BRASZ、ビット線活性化信号BLSZ、ビット線制御信号BLTX、BRSXの非活性化が行われる。次に、図9に示したワード線活性化タイミング生成回路13は、ビット線活性化信号BLSZを受け、ワード線活性化信号WLSZを活性化する(図11(a))。すなわち、ビット線活性化信号BLSZおよびワード線活性化信号WLSZは、従来に比べ早く活性化される。主ワードデコーダ17は、ワード線活性化信号WLSZを受け、ワード線信号WLZを活性化する(図11(b))。図9に示した直列並列変換回路36は、書き込みコマンドWRを受けた後の内部クロック信号ICLKZの立ち上がりエッジを検出してライトスイッチ信号WSWZを活性化する(図11(c))。直列並列変換回路38は、ライトスイッチ信号WSWZに同期して内部データ信号DI0、DI1を取り込み、直列並列変換し、それぞれコモンデータ信号CDB0Z、CDB1Zとして出力する(図11(d))。SA活性化タイミング生成回路62は、ライトスイッチ信号WSWZを受けて、センスアンプ活性化タイミング信号BLEZを活性化する(図11(e))。ここで、ビット線活性化信号BLSZおよびワード線活性化信号WLSZが既に活性化されているため、ライトスイッチ信号WSWZにより、センスアンプ活性化タイミング信号BLEZを直接活性化することが可能になる。このため、センスアンプ活性化タイミング信号BLEZの活性化タイミングは、従来に比べ約2クロック早くなる。

【0080】この後、第1の実施形態と同様に、センスアンプ活性化信号LEX、LEZが活性化され、コラム線信号CLZが活性化され、書き込み動作が行われる。次に、従来と同じタイミングで読み出し動作が行われる。以上のように構成された半導体集積回路においても上述した第1の実施形態と同様の効果を得ることができる。さらに、本実施形態では、ビット線活性化信号BLSZおよびワード線活性化信号WLSZを書き込みコマンドWRの取り込みに同期して順次活性化した。このため、センスアンプ活性化タイミング信号BLEZを直接ライトスイッチ信号WSWZで活性化することができ、その活性化タイミングを、約2クロック早くすることができる。したがって、読み出し動作の前の書き込み動作に必要なクロック数を、従来より2クロック少ない8クロックにすることができる。

【0081】図12は、本発明の半導体集積回路の第3の実施形態における書き込み動作に関係する主要部の構成を示している。この実施形態は、請求項1ないし請求項3に対応している。

【0082】この実施形態のFCRAMでは、コマンドデコーダ34から出力された書き込みコマンド信号WRTZおよび直列並列制御回路36から出力されたライトスイッチ信号WSWZは、CL活性化タイミング生成回路64に供給さ

19

れている。また、SA活性化タイミング生成回路66の回路構成が第1の実施形態と異なっている。SA活性化タイミング生成回路66、CL活性化タイミング生成回路64以外の回路構成、信号の接続関係は第1の実施形態と同一である。コアタイミング制御部32bおよびコア制御信号発生部3は、図1に示した制御信号生成部22に対応している。

【0083】図13は、CL活性化タイミング生成回路64およびSA活性化タイミング生成回路66を示している。CL活性化タイミング生成回路64は、ライトデータ10 モニタ部52と、論理合成部54と、遅延回路64a、64bとで構成されている。遅延回路64a、64bは、図3に示した遅延回路42と同一の論理の回路である。ライトデータモニタ部52には、書き込みコマンド信号WRTZ、ライトスイッチ信号WSWZ、および遅延回路64bを介してセルフプリチャージ信号SPRZが供給されている。ライトデータモニタ部52の出力は、論理合成部54の一方の入力に接続されている。論理合成部54の他方の入力には、センスアンプ活性化タイミング信号BLEOXが供給されている。センスアンプ活性化タイミング20 信号BLEOXは、第2の活性化信号に対応している。遅延回路64aは、論理合成部54の出力を受け、反転した信号をコラム線活性化信号BCLZとして出力している。

【0084】SA活性化タイミング生成回路66は、遅延回路66a、66bとフリップフロップ回路66dと、インバータ66e、66fとで構成されている。フリップフロップ回路66dは、第2の制御回路に対応している。遅延回路66a、66bは、図3に示した遅延回路42と同一の論理の回路である。フリップフロップ回路66dの一方の入力には、遅延回路66aを介してワー30 ド線活性化信号WLSZが供給されている。フリップフロップ回路66dの他方の入力には、インバータ66fを介してワード線非活性化信号WLRZが供給されている。インバータ66eは、フリップフロップ回路66dの出力を受け、センスアンプ活性化タイミング信号BLEOXを出力している。遅延回路66cは、センスアンプ活性化タイミング信号BLEOXを受け、反転した信号をセンスアンプ活性化タイミング信号BLEZとして出力している。

【0085】次に、上述したFCRAMの動作について説明する。図14は、書き込み動作後に読み出し動作を行う40 場合のタイミングを示している。この例では、2ビットの直列データが連続して書き込まれる。まず、図11と同様に、ワード線活性化信号WLSZの活性化までが行われる。次に、図13に示したSA活性化タイミング生成回路66は、ワード線活性化信号WLSZを受け、センスアンプ活性化タイミング信号BLEZを活性化する(図14(a))。

【0086】図12に示した直列並列変換回路36は、書き込みコマンドWRを受けた後の内部クロック信号ICLK50 Zの立ち上がりエッジを検出してライトスイッチ信号WSW

20

Zを活性化する(図14(b))。CL活性化タイミング生成回路64は、ライトスイッチ信号WSWZを受けて、コラム線活性化信号BCLZを活性化する(図14(c))。ここで、ビット線活性化信号BLSZ、ワード線活性化信号WLSZ、およびセンスアンプ活性化タイミング信号BLEZが既に活性化されているため、ライトスイッチ信号WSWZにより、コラム線活性化信号BCLZを直接活性化することが可能になる。このため、コラム線活性化信号BCLZの活性化タイミングは、従来に比べ約3クロック早くなる。

【0087】この後、第1の実施形態と同様に、コラム線信号CLZが活性化され、書き込み動作が行われる。次に、従来と同じタイミングで読み出し動作が行われる。以上のように構成された半導体集積回路においても上述した第1の実施形態と同様の効果を得ることができる。さらに、本実施形態では、ビット線活性化信号BLSZ、ワード線活性化信号WLSZ、およびセンスアンプ活性化タイミング信号BLEZを書き込みコマンドWRの取り込みに同期して順次活性化した。このため、コラム線活性化信号BCLZを直接ライトスイッチ信号WSWZで活性化することができ、その活性化タイミングを、約3クロック早くすることができる。したがって、読み出し動作の前の書き込み動作に必要なクロック数を、従来より3クロック少ない7クロックにすることができる。すなわち、ランダムアクセス時の書き込み動作を、常に読み出し動作と同じクロック数で行うことができる。

【0088】図15は、本発明の半導体集積回路の第4の実施形態における書き込み動作に関係する主要部の構成を示している。この実施形態は、請求項4および請求項5に対応している。この実施形態のFCRAMでは、CL活性化タイミング生成回路68は、コラム線活性化信号BCLZの他に、センスアンプ活性化タイミング信号BLEPZを出力している。また、コア制御信号発生部70のセンスアンプ制御回路72は、センスアンプ活性化信号LEX、LEZの他に、センスアンプ活性化信号LEPXを出力している。センスアンプは、図22に示したセンスアンプ22と同一のものが使用されている。CL活性化タイミング生成回路68、センスアンプ制御回路72、およびセンスアンプ22以外の回路構成、信号の接続関係は第3の実施形態と同一である。コアタイミング制御部32cおよびコア制御信号発生部70は、図1に示した制御信号生成部22に対応している。

【0089】図16は、CL活性化タイミング生成回路68およびSA活性化タイミング生成回路66を示している。CL活性化タイミング生成回路68は、ライトデータモニタ部52と、論理合成部54と、遅延回路68a、74a、74b、74c、74dと、MOSスイッチ76a、76b、76c、76dとインバータ78とで構成されている。

【0090】ライトデータモニタ部52には、書き込みコマンド信号WRTZ、ライトスイッチ信号WSWZ、および遅延

21

延回路68aを介して論理合成部54の出力信号であるセルフプリチャージ信号SPRZが供給されている。ライトデータモニタ部52の出力は、論理合成部54の一方の入力に接続されている。論理合成部54の他方の入力には、センスアンプ活性化タイミング信号BLE0Xが供給されている。遅延回路74a、74b、74c、74dは、論理合成部54の出力信号であるセルフプリチャージ信号SPRZを受け、それぞれ反転した信号をMOSスイッチ76a、76b、76c、76dに出力している。

【0091】MOSスイッチ76a、76bからはコラム線活性化信号BCLZが出力されている。MOSスイッチ76c、76dからはセンスアンプ活性化タイミング信号BLEPZが出力されている。MOSスイッチ76a、76cのpMOSのゲート、MOSスイッチ76b、76dのnMOSのゲートには、書き込みコマンド信号WRTZが供給されている。MOSスイッチ76a、76cのnMOSのゲート、MOSスイッチ76b、76dのpMOSのゲートには、インバータ78を介して、書き込みコマンド信号WRTZの反転信号が供給されている。

【0092】遅延回路68a、74a、74b、74c、74dは、図3に示した遅延回路42と同一の論理の回路である。遅延回路74a、74dは、遅延時間が相対的に長く設定され（図中に添え字“L”を記載）、遅延回路74b、74cは、遅延時間が相対的に短く設定されている（図中に添え字“S”を記載）。このため、書き込み動作時には、コラム線活性化信号BCLZの活性化タイミングが早くなり、センスアンプ活性化タイミング信号BLEPZの活性化タイミングが遅くなる。この結果、コラム線信号CLZの活性化が早く行われ、センスアンプのオーバードライブを行うセンスアンプ活性化信号LEPXの活性化が遅延される。

【0093】図17は、書き込み動作を行う場合のタイミングを示している。まず、第3の実施形態と同様に、ビット線制御信号BLTXが非活性化され、次にワード線信号WLZが活性化される。次に、センスアンプ活性化タイミング信号BLEZの活性化により、センスアンプ活性化信号LEZが活性化され、ビット線BL、/BLの微少信号の増幅が始まる（図17(a)）。次に、コラム線活性化信号BCLZを受けてコラム線信号CLZが活性化され、ビット線BL、/BLに書き込みデータが与えられる（図17(b)）。ここで、コラム線信号CLZの活性化は、図16に示したCL活性化タイミング生成回路68の遅延回路74bにより、従来（図の一点鎖線）より早く行われる。コラム線信号CLZの活性化時にオーバードライブは行われていない。したがって、書き込みデータが到達していない状態でビット線BL、/BLの微少信号がオーバードライブにより増幅されることはなく、データの反転は短時間に行われる。

【0094】次に、センスアンプ活性化タイミング信号BLEPZの活性化により、センスアンプ活性化信号LEPXが

22

活性化され、書き込みデータの増幅（オーバードライブ）が行われる（図17(c)）。ここで、センスアンプ活性化タイミング信号BLEPZの活性化は、図16に示したCL活性化タイミング生成回路68の遅延回路74dにより、従来（図の一点鎖線）より遅く行われる。このため、センスアンプ活性化信号LEPXの活性化は、従来（図の一点鎖線）より遅く行われる。

【0095】次に、センスアンプ活性化タイミング信号BLEPZの非活性化により、センスアンプ活性化信号LEPXが非活性化され、オーバードライブが終了する（図17(d)）。同時に、センスアンプ活性化信号LEXが活性化され、Hレベル側の電位は、電源電圧V_{II}まで低下する。この結果、オーバードライブ期間は、従来に比べて遅いにもかかわらず、データのメモリセルへの書き込み動作は、従来に比べて時間T₃だけ早くなる。

【0096】この後、センスアンプ活性化タイミング信号BLEZの非活性化により、センスアンプ活性化信号LEX、LEZが非活性化され、センスアンプの増幅動作が終了する。この実施形態の半導体集積回路においても上述した第3の実施形態と同様の効果を得ることができる。さらに、この実施形態では、書き込み動作時のコラムスイッチ4i、4jの活性化を、読み出し動作時に比べ早くした。このため、書き込みデータと関係のない微少信号の増幅期間を最小限にすることができる。この結果、ビット線BL、/BLのデータの反転を短時間に行うことができ、書き込み動作に必要な時間を短縮することができる。

【0097】また、センスアンプのオーバードライブ期間より前に、コラムスイッチ4i、4jをオンにし、ビット線BL、/BLに書き込みデータを与えた。このため、書き込み動作時には、書き込みデータと関係のない微少信号の増幅がオーバードライブにより行われることを防止することができる。したがって、読み出し動作に必要な時間を増大することなく、書き込み動作に必要な時間を短縮することができる。

【0098】なお、上述した実施形態では、本発明をFCRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、DDR-FCRAM、あるいはFCRAMのメモリコアおよび周辺回路を搭載したシステムLSIに適用してもよい。また、上述した実施形態では、論理合成部54をNORゲートで構成し、負論理のAND論理を演算した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、論理合成部をNANDゲートで構成し、負論理のOA論理を演算してもよい。このときには、論理合成部の各入力には、書き込み動作時に取込信号に同期してLレベルになる信号と、読み出し動作の開始時にLレベルになる信号とがそれぞれ供給される。

【0099】以上の実施形態において説明した発明を整理して以下の項を開示する。

23

(1) 請求項 1 記載の半導体集積回路において、制御信号生成部は、書き込み動作の開始に同期して、ビット線制御信号を活性化することを特徴とする半導体集積回路。

(2) 請求項 1 記載の半導体集積回路において、制御信号生成部は、書き込み動作の開始に同期して、ビット線制御信号およびワード線信号を活性化することを特徴とする半導体集積回路。

【0100】(3) 請求項 1 記載の半導体集積回路において、制御信号生成部は、書き込み動作の開始に同期して、ビット線制御信号、ワード線信号およびセンスアンプ活性化信号を活性化することを特徴とする半導体集積回路。上記 (1) ないし (3) の半導体集積回路では、所定の信号の活性化が、書き込みデータの取り込みを待たずに行われ、残りの信号の活性化タイミングを早くすることが可能になる。この結果、書き込み動作に必要な時間が短縮される。

【0101】(4) 請求項 2 記載の半導体集積回路において、前記制御信号生成部は、書き込み動作時に前記取り込み信号に同期して活性化される第 1 の活性化信号を生成する第 1 の制御回路と、読み出し動作の開始時に同期して活性化される第 2 の活性化信号を生成する第 2 の制御回路と、前記第 1 の活性化信号と前記第 2 の活性化信号とのオア論理をとる論理合成部とを備え、前記残りの信号は、前記論理合成部の出力を使用して生成されることを特徴とする半導体集積回路。

【0102】この半導体集積回路では、図 1 に示した制御信号生成部 22 の第 1 の制御回路 22a は、書き込み動作時に、取り込み信号に同期して第 1 の活性化信号 ACT1 を活性化する。読み出し動作時に、制御信号生成部 22 の第 2 の制御回路 22b は、読み出し動作の開始時に同期して第 2 の活性化信号 ACT2 を活性化する。論理合成部 22c は、第 1 の活性化信号 ACT1 と第 2 の活性化信号 ACT2 とのオア論理をとる。そして、制御信号生成部 22 は、論理合成部 22c の演算結果を使用して上記残りの信号を生成する。

【0103】このため、書き込み動作時と、読み出し動作時とで異なる残りの信号の生成タイミングを容易に生成することができる。

【0104】

【発明の効果】請求項 1 の半導体集積回路では、所定の信号の活性化を書き込みデータの取り込みを待たずに行うことができ、残りの信号の活性化タイミングを早くすることができる。この結果、書き込み動作に必要な時間を短縮することができる。

【0105】請求項 2 の半導体集積回路では、取り込み信号に同期して残りの信号を活性化することで、新たに制御信号を生成することなく、残りの信号の活性化を確実に行うことができる。請求項 3 の半導体集積回路では、書き込み動作時と、読み出し動作時とで異なる残り

24

の信号の生成タイミングを第 1 および第 2 の制御回路と論理合成部とにより容易に生成することができる。

【0106】請求項 4 の半導体集積回路では、書き込みデータと関係のない微少信号の増幅期間を最小限にすることができる。このため、ビット線のデータの反転に必要な時間を低減することができ、書き込み動作に必要な時間を短縮することができる。請求項 5 の半導体集積回路では、読み出し動作時には、オーバードライブを十分機能させ、書き込み動作時には、書き込みデータと関係のない微少信号のオーバードライブを行わないようにすることができる。したがって、読み出し動作時間を増大することなく、書き込み動作に必要な時間を短縮することができる。

【図面の簡単な説明】

【図 1】請求項 1 ないし請求項 5 に記載の発明の基本原理解を示すブロック図である。

【図 2】第 1 の実施形態における書き込み動作に関する回路を示すブロック図である。

【図 3】図 2 の直列並列制御回路を示す回路図である。

【図 4】図 2 の直列並列変換回路を示す回路図である。

【図 5】図 2 のワード線活性化タイミング生成回路の要部を示す回路図である。

【図 6】直列並列制御回路および直列並列変換回路の動作を示すタイミング図である。

【図 7】ワード線活性化タイミング生成回路の動作を示すタイミング図である。

【図 8】第 1 の実施形態における書き込み動作後に読み出し動作を行う場合のタイミング図である。

【図 9】第 2 の実施形態における書き込み動作に関する回路を示すブロック図である。

【図 10】図 9 の SA 活性化タイミング生成回路を示す回路図である。

【図 11】第 2 の実施形態における書き込み動作後に読み出し動作を行う場合のタイミング図である。

【図 12】第 3 の実施形態における書き込み動作に関する回路を示すブロック図である。

【図 13】図 12 の CL 活性化タイミング生成回路および SA 活性化タイミング生成回路を示す回路図である。

【図 14】第 3 の実施形態における書き込み動作後に読み出し動作を行う場合のタイミング図である。

【図 15】第 4 の実施形態における書き込み動作に関する回路を示すブロック図である。

【図 16】第 4 の実施形態における CL 活性化タイミング生成回路および SA 活性化タイミング生成回路を示す回路図である。

【図 17】第 4 の実施形態における書き込み動作時のタイミング図である。

【図 18】従来の FCRAM における書き込み動作に関する回路を示すブロック図である。

【図 19】図 18 のメモリコア部の主要部を示す回路図

25

である。

【図 20】従来のFCRAMにおいて、書き込み動作が連続して行われるときのタイミング図である。

【図 21】従来のFCRAMにおいて、書き込み動作後に読み出し動作を行う場合のタイミング図である。

【図 22】従来提案されている増幅時間を短縮するためのセンスアンプを示す回路図である。

【図 23】図 22のセンスアンプにおける読み出し時の増幅動作を示すタイミング図である。

【図 24】図 22のセンスアンプにおける書き込み時の増幅動作を示すタイミング図である。

【符号の説明】

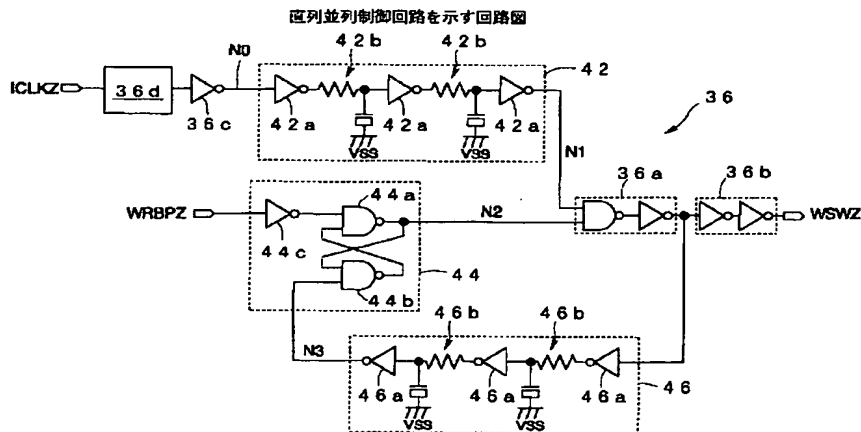
- 3 コア制御信号発生部
- 4 メモリコア部
- 5 クロックバッファ
- 6 入力バッファ
- 8 RASZ発生回路
- 10 DQバッファ
- 12 BLT活性化タイミング生成回路
- 14 SA活性化タイミング生成回路
- 15 CL活性化タイミング生成回路
- 16 BLT発生回路
- 17 主ワードデコーダ
- 18 センスアンプ制御回路
- 19 コラムデコーダ
- 20 センスアンプ
- 21 メモリセル
- 30 入力制御部
- 32 コアタイミング制御部
- 34 コマンドデコーダ
- 36 直列並列制御回路
- 38 直列並列変換回路
- 39 BLT活性化タイミング生成回路

26

- * 40 ワード線活性化タイミング生成回路
- 52 ライトデータモニタ部
- 54 論理合成部
- 62 SA活性化タイミング生成回路
- 64 CL活性化タイミング生成回路
- 66 SA活性化タイミング生成回路
- 68 CL活性化タイミング生成回路
- 70 コア制御信号発生部
- 72 センスアンプ制御回路
- 10 ACTZ コマンド活性化信号
- BCLZ コラム線活性化信号
- BLEZ センスアンプ活性化タイミング信号
- BLSZ ビット線活性化信号
- BLRZ ビット線非活性化信号
- BLTX ビット線制御信号
- BLTZ ビット線制御信号
- BRASZ 基幹信号
- BRSX ビット線制御信号
- CDB0Z、CDB1Z コモンデータ信号
- 20 CLKZ クロック信号
- CLZ コラム線信号
- CMD コマンド信号
- DIO、DI1 内部データ信号
- DQ データ信号
- ICLKZ 内部クロック信号
- ICMD 内部コマンド信号
- LEX、LEZ、LEPX センスアンプ活性化信号
- SPRZ セルフプリチャージ信号
- WLRZ ワード線非活性化信号
- 30 WLSZ ワード線活性化信号
- WLZ ワード線信号
- WSWZ ライトスイッチ信号

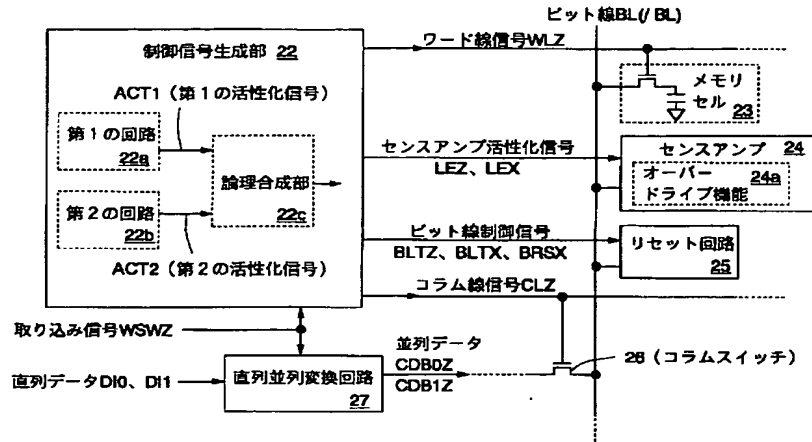
*

【図 3】



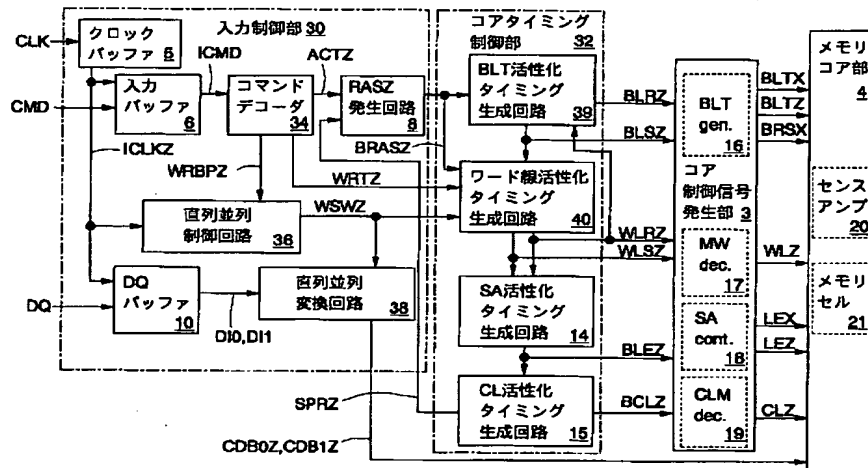
【図1】

請求項1ないし請求項5に記載の発明の基本原理を示すブロック図



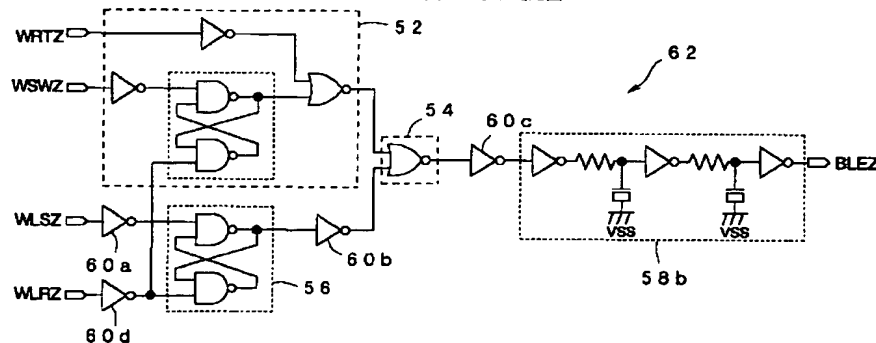
【図2】

第1の実施形態における書き込み動作に関する回路を示すブロック図



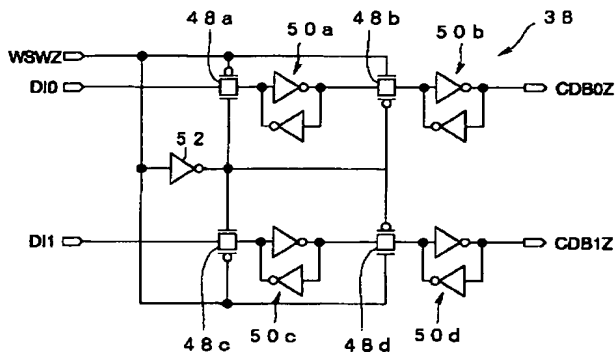
【図10】

SA活性化タイミング生成回路を示す回路図



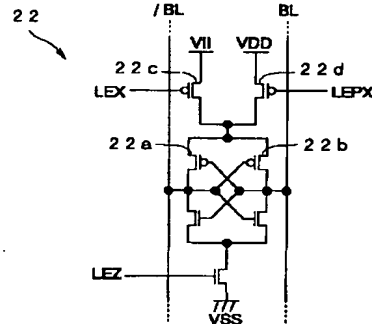
【図4】

直列並列変換回路を示す回路図



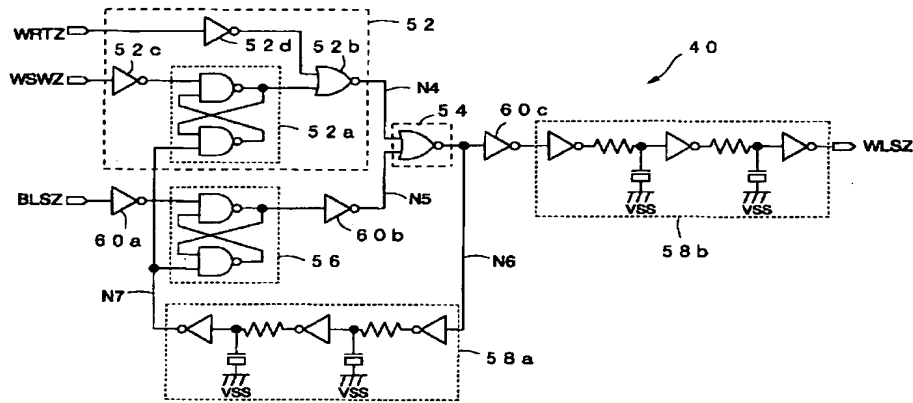
【図22】

増幅時間を短縮するためのセンスアンプを示す回路図



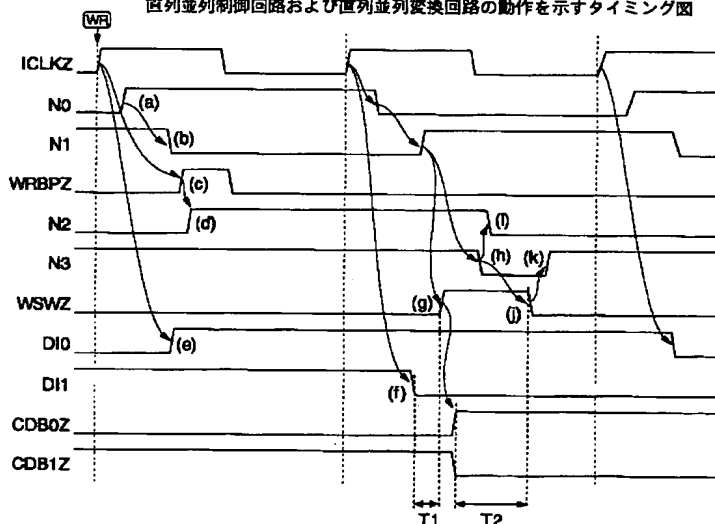
【図5】

ワード線活性化タイミング生成回路の要部を示す回路図



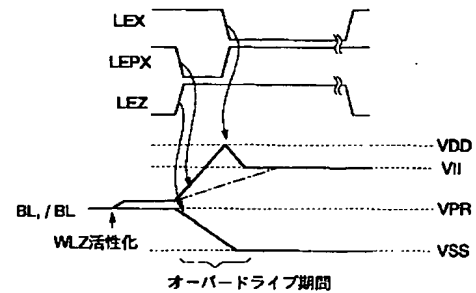
【図6】

直列並列制御回路および直列並列変換回路の動作を示すタイミング図



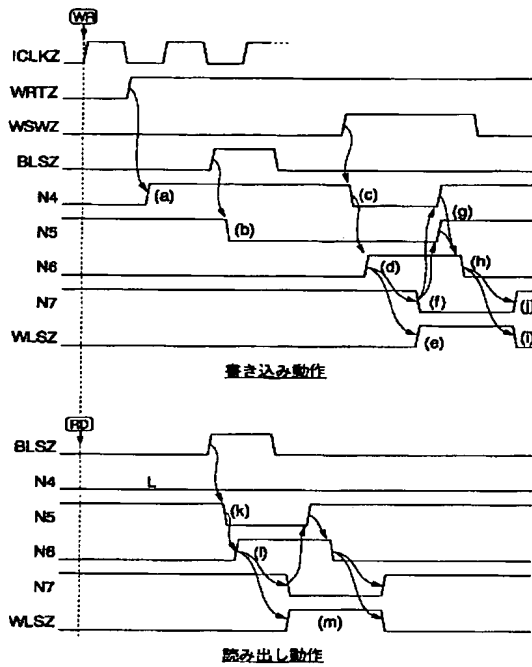
【図23】

読み出し時の増幅動作を示すタイミング図



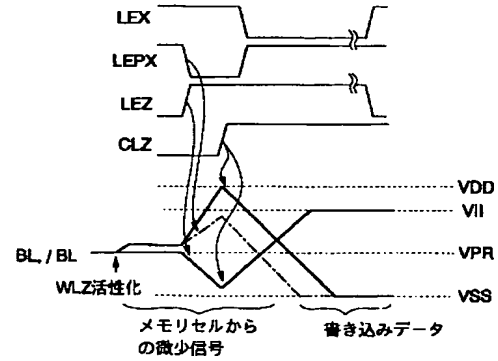
【図7】

ワード線活性化タイミング生成回路の動作を示すタイミング図



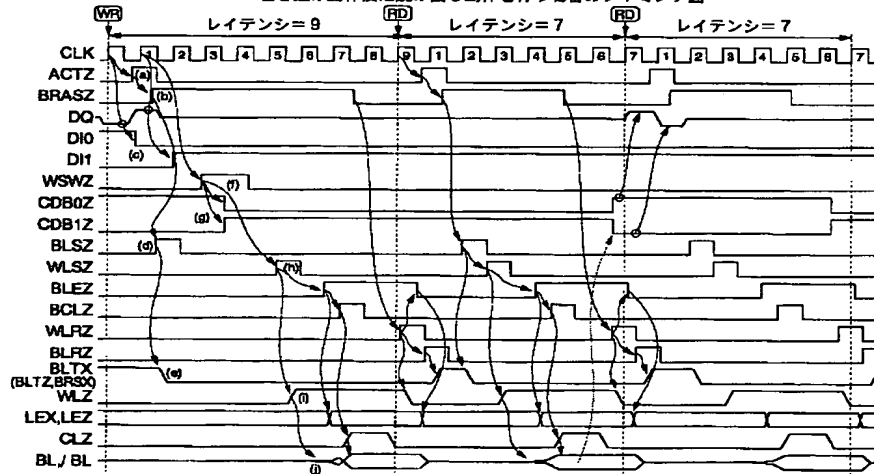
【図24】

書き込み時の増幅動作を示すタイミング図

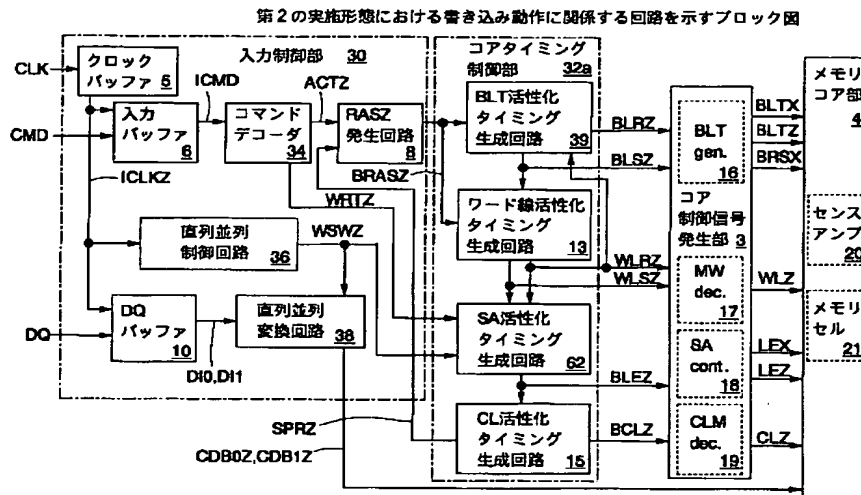


【図8】

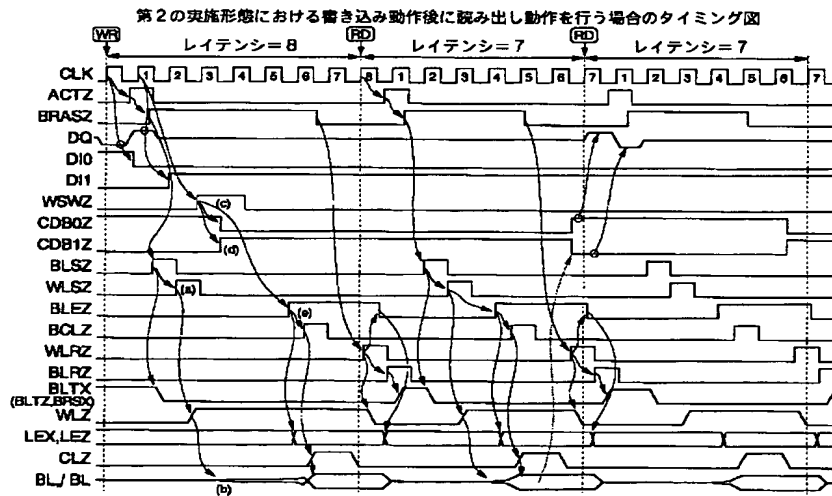
書き込み動作後に読み出し動作を行う場合のタイミング図



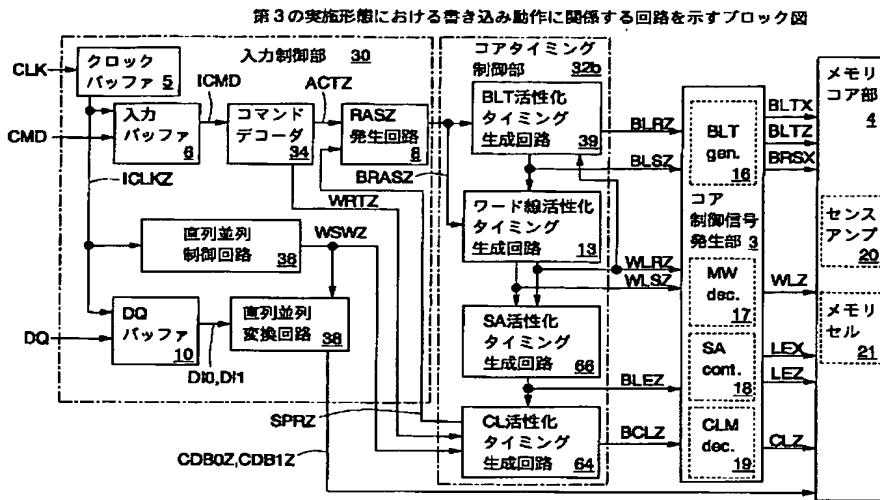
【図9】



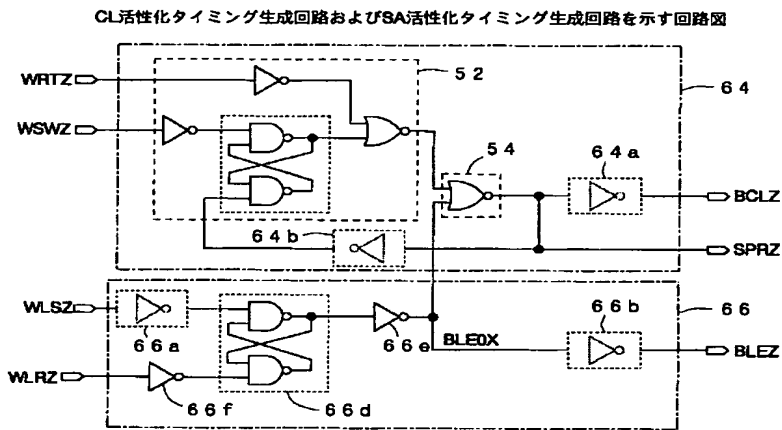
【図11】



【図12】

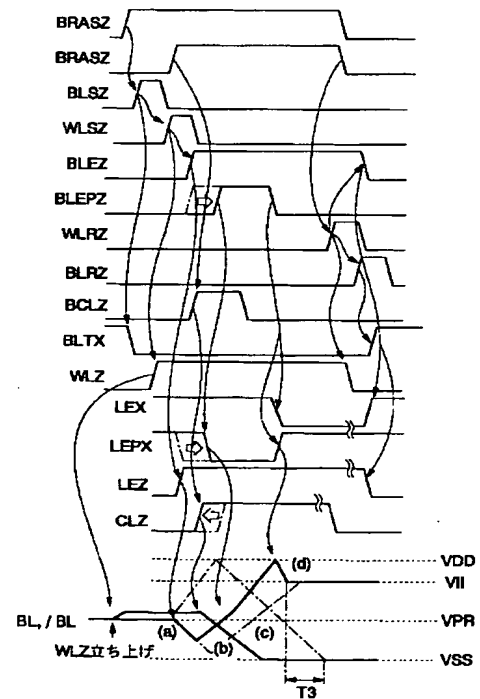


【図13】

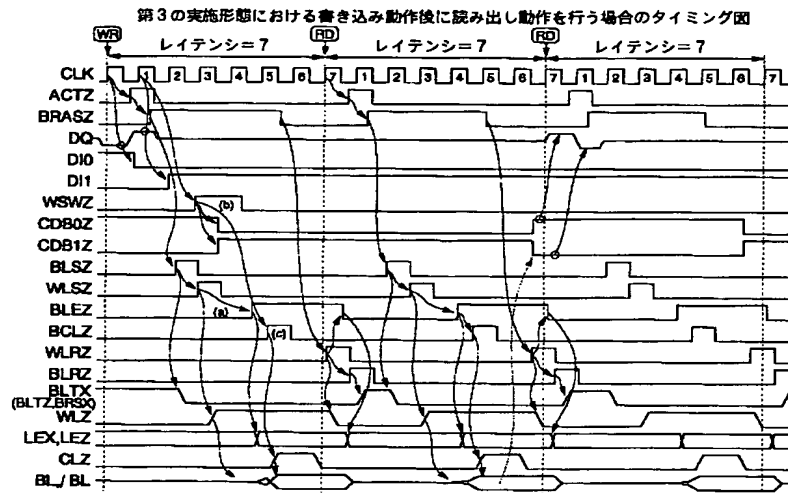


【図17】

第4の実施形態における書き込み動作時のタイミング図

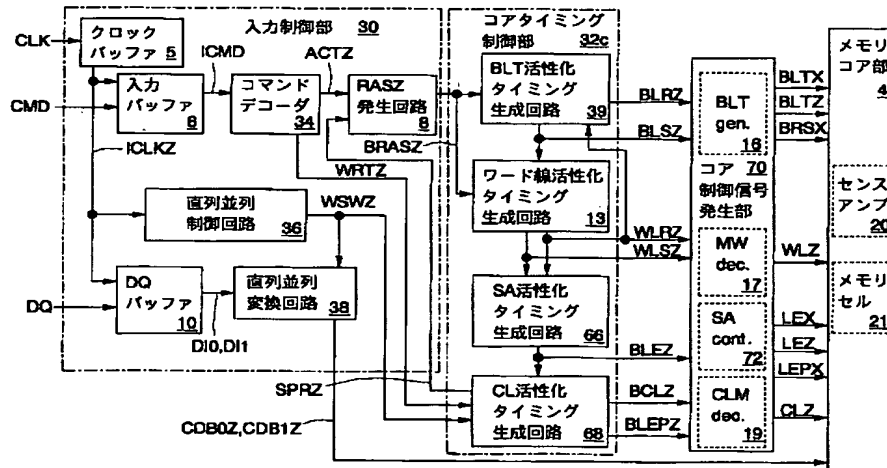


【図14】

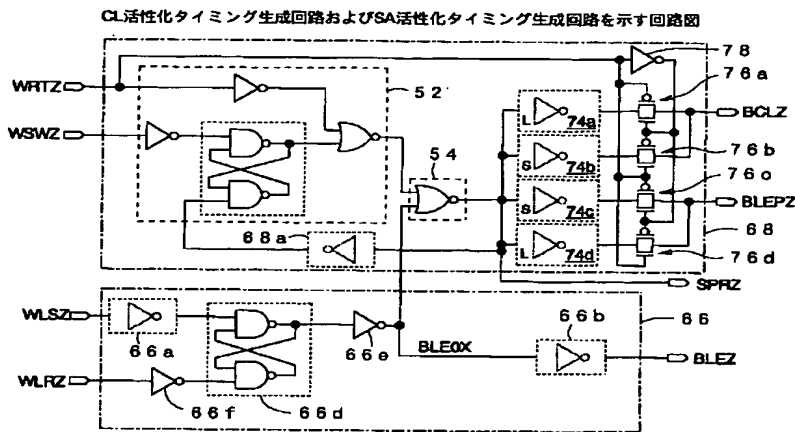


【図15】

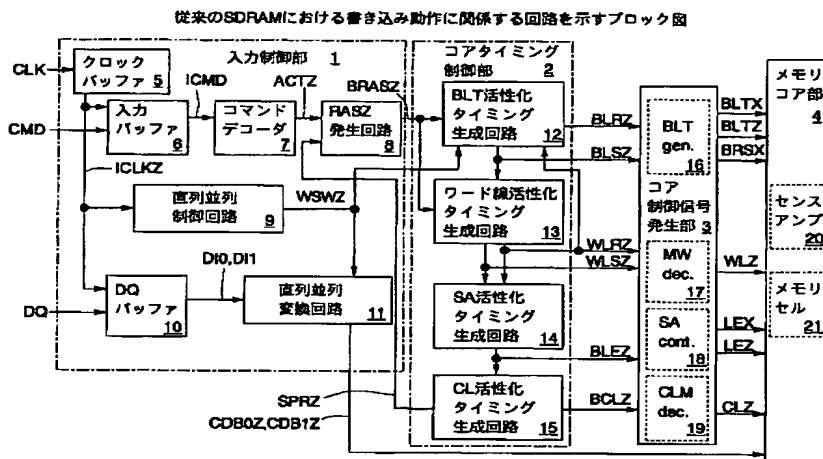
第4の実施形態における書き込み動作に関する回路を示すブロック図



【図16】

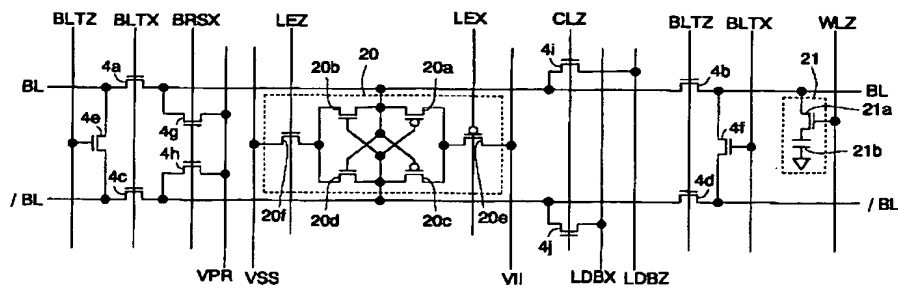


【図18】

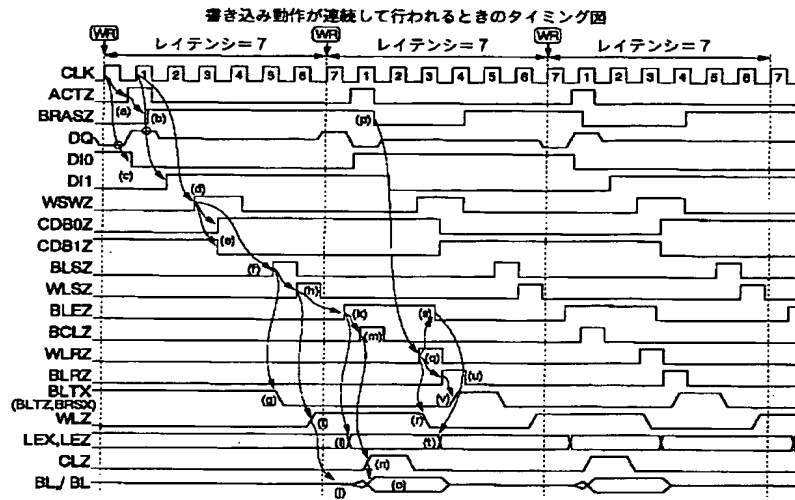


【図19】

メモリコア部の主要部を示す回路図



【図20】



【図21】

